

دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارها‌ی منطقی و سیستم های دیجیتال

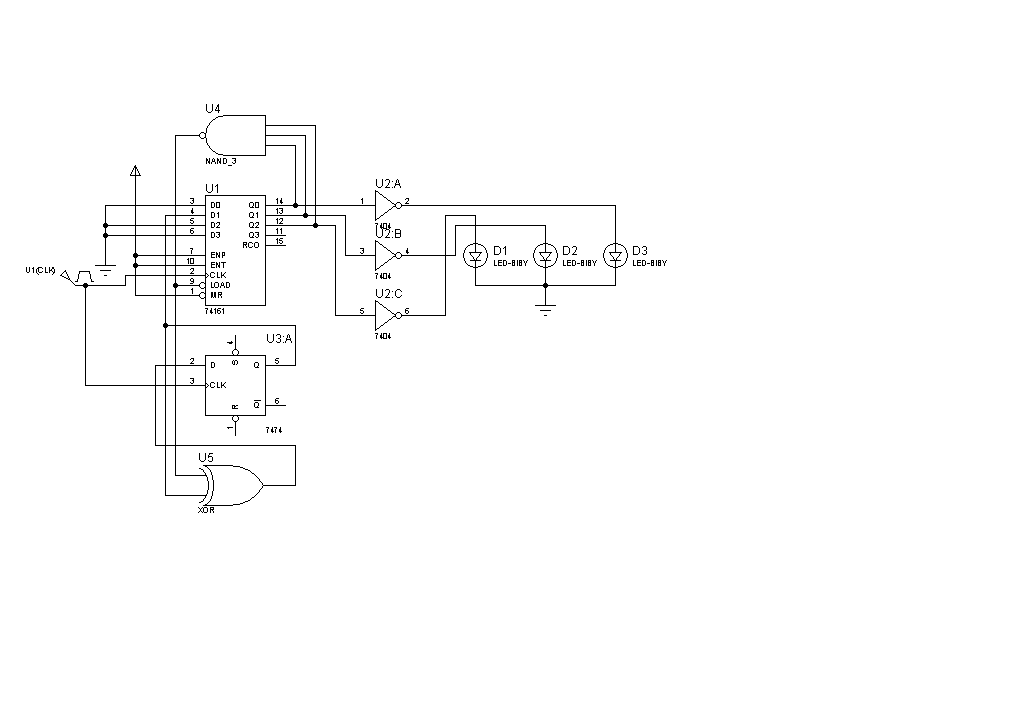
گزارش آزمایش جلسه9

سید‌بردیا برائی‌نژاد (92101669)

مهدی میر (92102846)

استاد: دکتر تابنده

3-1)



مدار را طبق شکل بالا بستیم.

همانطور که انتظار میرفت ... با اعمال کلاک به مدار شمارش از عدد 7 شروع شده پس از رسیدن به صفر این بار از 5 شروع شده و به صفر ختم میشود .

3-2) کد زیر را یک بار برای طراحی مدار به صورت میلی و بار دیگر برای طراحی مدار به صورت مور نوشتیم.

Mealy Code :

module Cof(pol\_d,ch,pol\_kh,clk,reset);

input [2:0] pol\_d;

input clk,reset;

output reg [1:0] pol\_kh;

output reg ch;

reg [2:0] state;

always @ (posedge clk)begin

if (reset == 1)

begin

state = 3'b000;

ch = 0;

pol\_kh = 2'b00;

end

else begin

case (pol\_d)

3'b001:

begin

if (state == 3'b100)begin

ch <= 1;

pol\_kh <= 2'b00;

state <= 0;

end

else begin

state = state + 3'b001;

end

end

3'b010:begin

if (state >= 3'b011)begin

ch <= 1;

pol\_kh <= state - 3'b011;

state <= 0;

end

else begin

state = state + 3'b010;

end

end

3'b100:begin

if (state >= 3'b001)begin

ch <= 1;

pol\_kh <= state - 3'b001;

state <= 0;

end

else

begin

state = state + 3'b100;

end

end

default : begin

state = state;

ch = 0;

pol\_kh = 2'b00;

end

endcase

end

end

endmodule

Moore Code :

module Cof(pol\_d,ch,pol\_kh,clk,reset);

input [2:0] pol\_d;

input clk,reset;

output reg [1:0] pol\_kh;

output reg ch;

reg [3:0] state;

always @ (posedge clk)begin

if (reset == 1)

begin

state = 4'b0000;

ch = 0;

pol\_kh = 2'b00;

end

else begin

if (state >= 4'b0101)

begin

pol\_kh <= state - 4'b0101;

state = 4'b0000;

ch = 1;

end

else if (pol\_d == 3'b001 ||pol\_d == 3'b010 ||pol\_d == 3'b100 )

state = state + pol\_d;

else

begin

state = state;

ch = 0;

pol\_kh = 0;

end

end

end

endmodule